



UNIVERSIDADE FEDERAL DE GOIÁS  
ESCOLA DE ENGENHARIA ELÉTRICA, MECÂNICA E  
COMPUTAÇÃO

RODOLFO CORDEIRO MAGALHÃES ELIZONDO

**Mitigação de Ruídos em Placa  
Controladora de Motores do Projeto  
SSL do Núcleo De Robótica Pequi  
Mecânico**

Goiânia  
2025



UNIVERSIDADE FEDERAL DE GOIÁS  
ESCOLA DE ENGENHARIA ELÉTRICA, MECÂNICA E DE COMPUTAÇÃO

## TERMO DE CIÊNCIA E DE AUTORIZAÇÃO PARA DISPONIBILIZAR VERSÕES ELETRÔNICAS DE TRABALHO DE CONCLUSÃO DE CURSO DE GRADUAÇÃO NO REPOSITÓRIO INSTITUCIONAL DA UFG

Na qualidade de titular dos direitos de autor, autorizo a Universidade Federal de Goiás (UFG) a disponibilizar, gratuitamente, por meio do Repositório Institucional (RI/UFG), regulamentado pela Resolução CEPEC no 1240/2014, sem ressarcimento dos direitos autorais, de acordo com a Lei no 9.610/98, o documento conforme permissões assinaladas abaixo, para fins de leitura, impressão e/ou download, a título de divulgação da produção científica brasileira, a partir desta data.

O conteúdo dos Trabalhos de Conclusão dos Cursos de Graduação disponibilizado no RI/UFG é de responsabilidade exclusiva dos autores. Ao encaminhar(em) o produto final, o(s) autor(a)(es)(as) e o(a) orientador(a) firmam o compromisso de que o trabalho não contém nenhuma violação de quaisquer direitos autorais ou outro direito de terceiros.

### 1. Identificação do Trabalho de Conclusão de Curso de Graduação (TCCG)

Nome(s) completo(s) do(a)(s) autor(a)(es)(as): **Rodolfo Cordeiro Magalhães Elizondo**

Título do trabalho: **Mitigação de Ruídos em Placa Controladora de Motores do Projeto SSL do Núcleo De Robótica Pequim Mecânico**

2. Informações de acesso ao documento (este campo deve ser preenchido pelo orientador) Concorda com a liberação total do documento [ X ] SIM [ ] NÃO<sup>1</sup>

[1] Neste caso o documento será embargado por até um ano a partir da data de defesa. Após esse período, a possível disponibilização ocorrerá apenas mediante: a) consulta ao(à)(s) autor(a)(es)(as) e ao(à) orientador(a); b) novo Termo de Ciência e de Autorização (TECA) assinado e inserido no arquivo do TCCG. O documento não será disponibilizado durante o período de embargo.

### Casos de embargo:

- Solicitação de registro de patente;
- Submissão de artigo em revista científica;
- Publicação como capítulo de livro.

Obs.: Este termo deve ser assinado no SEI pelo orientador e pelo autor.



Documento assinado eletronicamente por **Geyverson Teixeira De Paula, Professor do Magistério Superior**, em 28/11/2025, às 08:09, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Rodolfo Cordeiro Magalhaes Elizondo, Discente**, em 28/11/2025, às 09:59, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



A autenticidade deste documento pode ser conferida no site [https://sei.ufg.br/sei/controlador\\_externo.php?acao=documento\\_conferir&id\\_orgao\\_acesso\\_externo=0](https://sei.ufg.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0), informando o código verificador **5819632** e o código CRC **8F789B3F**.

Rodolfo Cordeiro Magalhães Elizondo

**Mitigação de Ruídos em Placa  
Controladora de Motores do Projeto  
SSL do Núcleo De Robótica Pequena  
Mecânica**

Trabalho de Conclusão apresentado à Coordenação do Curso de Engenharia Elétrica do Escola de Engenharia Elétrica, Mecânica e Computação da Universidade Federal de Goiás, como requisito parcial para obtenção do título de Bacharel em Engenharia Elétrica.

**Orientador:** Prof. Dr. Geyverson Teixeira de Paula

Goiânia  
2025

Ficha de identificação da obra elaborada pelo autor, através do Programa de Geração Automática do Sistema de Bibliotecas da UFG.

Cordeiro Magalhães Elizondo, Rodolfo  
Mitigação de Ruídos em Placa Controladora de Motores do Projeto SSL do Núcleo De Robótica Pequeni Mecânico [manuscrito] / Rodolfo Cordeiro Magalhães Elizondo. - 2025.  
xvi, 16 f.: il.

Orientador: Prof. Dr. Geyverson Teixeira de Paula.  
Trabalho de Conclusão de Curso (Graduação) - Universidade Federal de Goiás, Escola de Engenharia Elétrica, Mecânica e de Computação (EMC), Engenharia Elétrica, Goiânia, 2025.  
Bibliografia. Apêndice.

1. Robótica. 2. Eletrônica. 3. Ruído. 4. Pequenos motores. 5. A3930.  
I. Teixeira de Paula, Geyverson, orient. II. Título.

CDU 621.3



UNIVERSIDADE FEDERAL DE GOIÁS  
ESCOLA DE ENGENHARIA ELÉTRICA, MECÂNICA E DE COMPUTAÇÃO

### ATA DE DEFESA DE TRABALHO DE CONCLUSÃO DE CURSO

Ao(s) vinte e oito dia(s) do mês de novembro do ano de 2025 iniciou-se a sessão pública de defesa do Trabalho de Conclusão de Curso (TCC) intitulado “**Mitigação de Ruídos em Placa Controladora de Motores do Projeto SSL do Núcleo De Robótica Pequii Mecânico**”, de autoria de **Rodolfo Cordeiro Magalhães Elizondo**, do curso de Engenharia Elétrica, da Escola de Engenharia Elétrica, Mecânica e de Computação da UFG. Os trabalhos foram instalados pelo(a) Prof. Dr. Geyverson Teixeira de Paula com a participação dos demais membros da Banca Examinadora: Prof. Dr. Fernando Ferreira de Melo (EMC/UFG) e Prof. Dr. Rodrigo Pinto Lemos (EMC/UFG). Após a apresentação, a banca examinadora realizou a arguição do(a) estudante. Posteriormente, de forma reservada, a Banca Examinadora atribuiu a nota final de 9,0 (nove vírgula zero) , tendo sido o TCC considerado aprovado.

Proclamados os resultados, os trabalhos foram encerrados e, para constar, lavrou-se a presente ata que segue assinada pelos Membros da Banca Examinadora.



Documento assinado eletronicamente por **Geyverson Teixeira De Paula, Professor do Magistério Superior**, em 08/04/2026, às 14:03, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Rodrigo Pinto Lemos, Coordenador de Pós-Graduação**, em 08/04/2026, às 14:08, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



Documento assinado eletronicamente por **Fernando Ferreira De Melo, Professor do Magistério Superior**, em 10/04/2026, às 09:47, conforme horário oficial de Brasília, com fundamento no § 3º do art. 4º do [Decreto nº 10.543, de 13 de novembro de 2020](#).



A autenticidade deste documento pode ser conferida no site [https://sei.ufg.br/sei/controlador\\_externo.php?acao=documento\\_conferir&id\\_orgao\\_acesso\\_externo=0](https://sei.ufg.br/sei/controlador_externo.php?acao=documento_conferir&id_orgao_acesso_externo=0), informando o código verificador **6116161** e o código CRC **4B5A2DAA**.

# Mitigação de Ruídos em Placa Controladora de Motores do Projeto SSL do Núcleo De Robótica Pequii Mecânico

Rodolfo C. M. Elizondo<sup>1</sup>

Escola de Engenharia Elétrica, Mecânica e de Computação, Universidade Federal de Goiás Goiânia, Goiás, Brasil.  
Email: rodolfoelizondo@discente.ufg.br<sup>1</sup>

**Resumo**—Este trabalho busca mitigar a presença de ruído sobre CIs de Driver de motor devido à ausência de otimizações de layout do plano de terra ao não separar efetivamente os componentes de potência dos componentes lógicos que operam em altas frequências, afetando o funcionamento ideal do circuito. Como é uma aplicação switch-mode, há rápida ativação e desativação da alimentação, há grande quantidade de ruído presente no plano de terra que atrapalha o funcionamento dos componentes lógicos da placa. Neste trabalho será analisada a atual placa de controle de motor do projeto SSL do Núcleo De Robótica Pequii Mecânico, evidenciado a presença de ruído no pino de AGND do chip A3930, propor otimizações que visam eliminar grande parte do ruído existente.

**Palavras-chave:** Pequenos motores, Ruído em Eletrônica, Driver, Switch-Mode, Plano de Ground, Otimização, A3930, Easyeda

**Abstract**—This work aims to mitigate noise on Motor Driver ICs due to lack of optimization in the ground plane layout by not separating effectively the power related components from logic components which operate in high frequencies, damaging the ideal operation of the circuit. Due to this being a switch-mode application, where power is quickly activated and deactivated, it will cause a lot of noise on the ground plane that will affect the logic components of the board. In this work the current motor control board from the project SSL from Núcleo de Robótica Pequii Mecânico will be analyzed, point out the presence of noise on the AGND pin of the chip A3930, show optimizations that promises to eliminate great part of the noise existent.

**Keywords:** Small motors, Noise in electronics, Drive, Switch-Mode, Ground Plane, Optimization, A3930, Easyeda

## I. INTRODUÇÃO

Circuitos de controle de motor de alto desempenho, que dependem de operação em switch-mode de alta velocidade, são notoriamente suscetíveis a ruído elétrico. Essa rápida ativação e desativação dos componentes de potência pode contaminar o plano de terra do circuito, gerando interferência que perturba os componentes lógicos sensíveis. O problema é frequentemente exacerbado por um layout subótimo da placa de circuito impresso (PCB) que falha em isolar eficazmente as seções de alta potência das seções de lógica.

Este trabalho investiga essa questão crítica conforme ela se apresenta na placa de controle de motor do projeto SSL do Núcleo de Robótica Pequii Mecânico. O trabalho foca no circuito integrado (CI) driver de motor A3930 e no layout da placa buscando analisar a presença de ruído no pino AGND do chip, demonstrando como as decisões atuais prejudicam

a operação ideal do circuito. Por fim, propõe otimizações de layout específicas destinadas a eliminar a maior parte desse ruído, assegurando um sistema mais estável e confiável.

*1) Motivação (origem do problema no projeto real):* A ideia para este trabalho surgiu a partir da minha integração na divisão SSL do Núcleo de Robótica Pequii Mecânico, inicialmente na área de estrutura e posteriormente adentrando a área de eletrônica. Após a concepção inicial do robô, o funcionamento do controle dos motores apresentava comportamentos estranhos e inconsistências, que futuramente foram confirmadas ao conversar com outras equipes, que participam da categoria de competição SSL em eventos de robótica, com placas de controle similares e que não enfrentaram tais problemas.

A RoboCup Small Size League (SSL) é uma categoria de futebol robótico focada em velocidade extrema e estratégia coletiva avançada. Nesta liga, dois times de robôs estrutura pequena, de até 180mm de diâmetro, disputam partidas em um campo acarpetado usando uma bola de golfe laranja. A característica única é o controle centralizado: câmeras suspensas (visão global) rastreiam o jogo e enviam dados para um computador externo. Este computador processa a Inteligência Artificial do time e envia comandos via rádio para os robôs, coordenando jogadas complexas e precisas em tempo real.

O desempenho insatisfatório do controle de tração no projeto anterior motivou a presente investigação. Testes instrumentais identificaram ruído elétrico substancial entre o AGND e o negativo da bateria, correlacionado a uma deformação crítica no sinal PWM das fases do motor em movimento. Este artigo detalha as correções implementadas para sanar estas anomalias elétricas e elevar a robustez do robô para competições.

*2) Fundamentação teórica e apoio técnico:* Devido a natureza complexa do circuito de controle, grande parte da solução foi teorizada baseada no datasheet e circuito modelo do chip A3930, disponibilizado pela Allegro Microchips, documentos de referência e consulta com o orientador e então prototipagem pelo software Easyeda. Já a parte prática foi feita por meio de encomenda de uma placa pronta, onde quaisquer modificações foram feitas soldando componentes.

## II. FUNDAMENTAÇÃO TEÓRICA

### A. Princípio de movimentação

A natureza dinâmica da competição de robótica Small Size League (SSL) impõe requisitos rigorosos de mobilidade, exigindo que os agentes em campo executem movimentos instantâneos e precisos em qualquer direção. Para satisfazer esta necessidade fundamental, a arquitetura de tração padrão adotada pelas equipes é um layout omnidirecional de motores, que foi implementado através de quatro motores controlados independentemente.

Este design permite que o robô controle simultaneamente seus três graus de liberdade no plano: translação lateral (eixo X), translação frontal (eixo Y) e rotação em torno de seu próprio centro (eixo Z). O benefício crucial é o "desacoplamento" do movimento; o robô pode mover-se lateralmente ("strafe") para bloquear um oponente, mover-se em diagonal para interceptar a bola, e girar para mirar no gol, tudo ao mesmo tempo e sem a necessidade de primeiro reorientar seu chassi.

### B. Topologia de Meia-Ponte e Saídas de Gate

A arquitetura de potência padrão para o motor escolhido é uma ponte inversora composta por três meias-pontes (half-bridges) independentes, uma para cada fase do motor. Cada meia-ponte consiste em um par de MOSFETs sendo um de lado alto (high-side), conectado ao barramento de alimentação 24 V, e outro de lado baixo (low-side), conectado ao terra.

Este trabalho utiliza o chip A3930[1] para o controle da comutação de fases, este que será detalhado posteriormente, e neste chip o ponto de conexão central de cada par, conhecido como nó de fase (identificado no datasheet do A3930 [1] como pinos SA, SB e SC), é conectado diretamente a uma das três fases do motor. O A3930 [1] fornece as seis saídas de driver de gate necessárias para comandar esta topologia: GHA, GHB e GHC para os gates dos MOSFETs de lado alto, e GLA, GLB e GLC para os gates dos MOSFETs lado baixo.

### C. A Vulnerabilidade Central - Pino AGND

Compreendida a estrutura de potência central do chip, é possível identificar o ponto mais crítico de vulnerabilidade do sistema ao ruído: o pino de referência analógica (AGND) do CI A3930.

O A3930/A3931 é um circuito integrado de sinal misto projetado para operar em um ambiente eletricamente ruidoso de comutação de alta potência. A vulnerabilidade mais crítica do CI ao ruído está em seu pino de terra analógico, o AGND. Este pino não serve como um retorno de corrente de potência, mas sim como a referência de 0V para todas as funções analógicas sensíveis do chip.

Isso inclui o comparador de limite de corrente (pino REF), o circuito de monitoramento de VDS para detecção de curto-circuito (pino VDSTH) e os componentes de temporização (pinos RC e RDEAD). Qualquer ruído, variação de tensão ou transiente induzido neste pino AGND será diretamente somado a esses sinais de referência, levando a medições

de corrente imprecisas, disparos falsos de falhas de curto-circuito e temporização instável do PWM ou do tempo morto (dead time).

### D. Fontes de Ruído e Estratégias

As principais fontes de ruído em um acionador de motor são os pulsos de corrente (alto di/dt) gerados durante a comutação dos MOSFETs de potência. Os caminhos de acionamento do gate (GHx, GLx) e, mais importante, os retornos de gate (Sx, LSS) conduzem esses pulsos de corrente transiente. O datasheet adverte especificamente contra layouts de PCB inadequados que podem "injetar ruído em funções sensíveis".

## III. METODOLOGIA

### A. O Projeto Inicial

O projeto inicial da placa controladora, documentado como o "projeto antigo", sofria de instabilidades significativas que causavam comportamentos estranhos e inconsistências no controle dos motores. O layout da placa apresentava falhas críticas de otimização, principalmente por não separar efetivamente os componentes de potência dos componentes lógicos que operam em altas frequências.

Alguns dos problemas principais envolvem a fragmentação do plano de potência interno em "ilhas de cobre", o plano de terra possuía poucas vias não utilizando da técnica de "costura de vias" e a ausência de capacitores de bulk na alimentação de 24V dos MOSFETs. Além disso, o projeto utilizava um modo de controle de tensão pouco documentado, onde a direção era controlada pelo ciclo de PWM estar acima ou abaixo de 50% , o que resultava em uma operação assimétrica das velocidades do motor.

Estes e outros problemas serão revisados e proposto alterações para um melhor funcionamento como projeto final.

### B. Justificativa para reconstrução e ajustes

A principal justificativa para o redesenho da placa foi a necessidade de mitigar a grande quantidade de ruído elétrico que afetava o funcionamento ideal do circuito. Investigações revelaram "grandes quantidades de variação de tensão sobre o pino AGND do chip" A3930 , o pino de referência analógica que é o ponto mais vulnerável do sistema.

Essa instabilidade, causada pelo layout não otimizado e diversas decisões erradas prejudicam a operação e, em testes com valores de resistor de gate inadequados, chegou a queimar uma unidade do A3930. O objetivo dos ajustes é corrigir os problemas de ruído para que seja possível uma melhor performance do nosso robô tanto ao competir quanto de maneira geral, pois o mesmo também será usado para demonstrações de robótica em eventos, especialmente corrigindo a falha de assimetria de velocidade que prejudicava a funcionalidade ideal dos motores o que levava à falha na omnidirecionalidade do robô, tornando teoricamente impossível a vitória em competição.

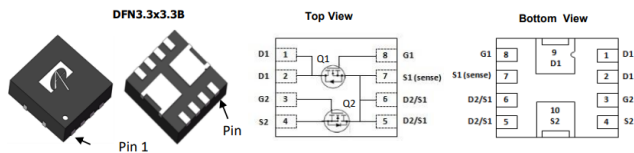


Fig. 1 – Pinout do MOSFET AONP36332.  
Fonte: Allegro MicroSystems [1]

### C. Estratégia de medição e validação

As medições foram realizadas com o osciloscópio: referência de terra conectada ao ponto de terra da fonte/bateria; sonda 1 no pino AGND do A3930; sonda 2 na fase do motor. Foram registradas formas de onda e comparados os espectros antes e depois das modificações. Foi julgado o sucesso da solução novamente medindo a presença de ruído no pino AGND do chip após as modificações implementadas e também analisando se o funcionamento do motor se tornou mais estável e agindo como esperado em contraste com a performance obtida com o projeto antigo.

### Implementação das otimizações propostas

Tendo estabelecido os objetivos deste trabalho, se inicia a apresentação das mudanças detalhando os componentes presentes no circuito, suas funções e como serão implementados no novo projeto.

### D. Componentes Principais

Um ponto importante para todo projeto é a leitura detalhada da documentação textual de todos os componentes presentes para que haja a maior compreensão possível das funcionalidades e demandas feitas por cada fabricante. Devido a simplicidade do nosso projeto, só será necessário o detalhamento de poucos componentes.

1) **MOSFET AONP36332:** Como mostrado na figura 1, o AONP36332 é um MOSFET de canal N, duplo e assimétrico (Dual Asymmetric N-Channel MOSFET), onde já é conectado o pino Drain do MOSFET de lado baixo (low-side) com o pino Source do MOSFET de lado alto (high-side), reduzindo a necessidade de circuitos conectando ambos MOSFETs, que é ideal para a nossa aplicação de motor que utiliza configuração de meia ponte.

Mesmo que seja um componente simples, será utilizado as características descritas no datasheet associado para os cálculos de parâmetros e dimensionamento de resistores e capacitores no circuito.

2) **Diodo Ideal com controlador LM74700-Q1:** Para a proteção do circuito e da bateria, foi integrado à placa um diodo ideal utilizando o LM74700-Q1 [3], um controlador de diodo ideal qualificado para uso automotivo que atua como um retificador de diodo ideal para proteção contra polaridade reversa com baixa perda. O "diodo ideal", como o circuito integrado a placa utilizando o LM74700-Q1, não é um diodo

no sentido tradicional e sim um controlador inteligente que usa um MOSFET como interruptor.

O principal uso para um diodo ideal em vez de um diodo comum é a eficiência energética e a drástica redução na dissipação de calor. Um diodo comum tem uma queda de tensão fixa, o que gera uma perda de potência significativa especialmente em altas correntes, então o diodo ideal substitui essa queda de tensão por uma resistência muito baixa, sendo muito mais eficiente.

Por mais que nossa aplicação em situação normal, robôs movendo pelo campo sem nenhum impedimento de movimento, não envolva muita corrente, ainda assim o uso de um diodo ideal será muito eficiente para longevidade da bateria e para melhor controle de temperatura da placa. Enquanto há diversos fatores importantes para a determinação de um circuito de diodo ideal, nossa aplicação replica apenas o modelo exemplo que apresenta características ideais para nossa aplicação, não tornando necessário detalhamento de documentação.

3) **Motor DF45L024048-A:** A escolha do motor foi o modelo brushless DF45L024048-A, que possui 16 polos e opera com uma tensão nominal de 24 V e fornece uma potência nominal de 65 W. Ele é projetado para operar a uma velocidade nominal de 4840 rpm com um torque nominal de 0.13 Nm e um torque de pico de 0.39 Nm. Para o controle preciso da comutação e velocidade, ele vem equipado com sensores Hall integrados. Em relação a sua estrutura, cada motor pesa 150 g e tem diâmetro máximo de 42.8 mm.

A presença do sensor hall integrado torna a aplicação deste motor direta. Ao alimentar as três fases do motor por meio das três meia-ponte e direcionando os dados das saídas do sensor hall para o chip A3930, a integração do motor com o nosso circuito está completa.

4) **Chip Allegro A3930:** Para o controle dos motores utilizou-se como o controlador e driver de MOSFET o chip A3930 [1] que é projetado especificamente para o controle de motores sem escovas (brushless), DC e trifásicos, com foco em aplicações automotivas. Essencialmente, o CI (Circuito integrado) atua como a interface central entre os sinais de controle de baixo nível (como lógica de microcontrolador) e a ponte de potência de alta corrente que aciona o motor.

O chip A3930 [1] integra a lógica de controle de comutação e os drivers de gate de alta corrente necessários para acionar uma ponte trifásica composta por seis MOSFETs de potência de canal N, 3 MOSFETs de lado alto e 3 MOSFETs de lado baixo, conectados ao chip. A utilização de MOSFETs canal N tanto como os interruptores irá permitir que o projeto do sistema de acionamento do motor seja altamente eficiente e não seja de alto custo monetário.

Na figura 2 é mostrado o esquemático simplificado do chip A3930, disponível no datasheet, com os pinos separados em cores, onde cada pino tem um nome associado à sua função e foi adicionada coloração para facilitar visualização. Pinos em verde são relacionados ao controle do motor, pinos roxos são pinos de entrada ou saída de sinal do chip para leitura

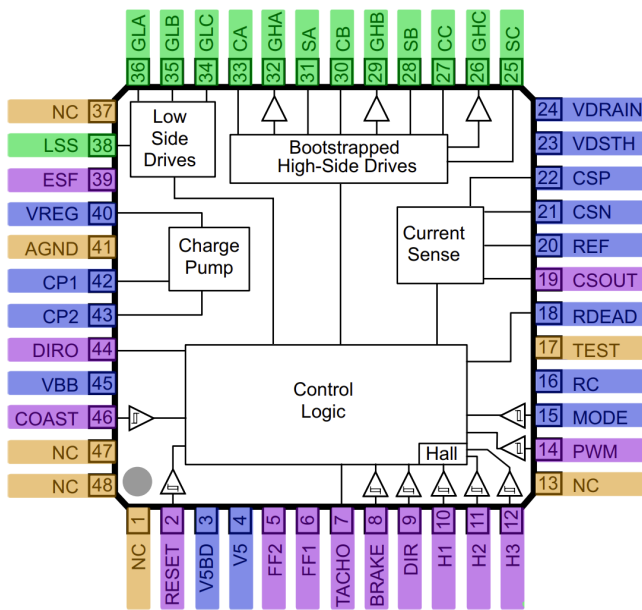


Fig. 2 – Pinagem do Chip A3930 com identificação de cor.  
Fonte: Allegro MicroSystems [1]

de informações e pinos laranja são pinos de aterramento.

O foco deste trabalho será na configuração correta e utilizar otimizações tanto descritas pelo datasheet do chip A3930, usando como referência a placa de modelo disponibilizada pela Allegro Microchips para os chips A3930 e A3931 [2] quanto práticas de otimização de placas com sinais sensíveis.

### Comparação do projeto existente e o trabalho atual

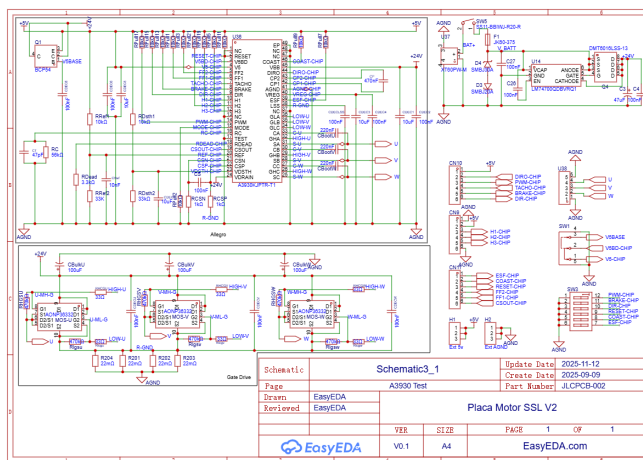


Fig. 3 – Esquemático final do trabalho.  
Fonte: Autor

Com a exposição dos componentes individuais da placa, movemos para a parte de mudanças feitas. O esquemático resultante deste trabalho está exposto por meio da figura 31, em contraste com o esquemático do projeto antigo, que está apresentando problemas, exposto na figura 4. Ambas figuras

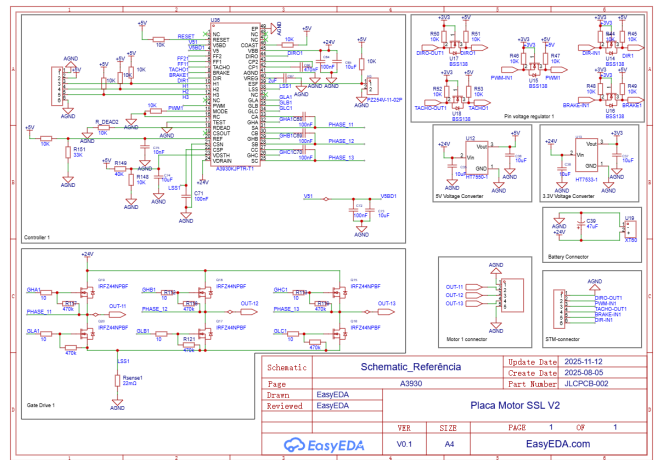


Fig. 4 – Esquemático do projeto antigo.  
Fonte: Autor

estão expostas em tamanho maior no Apêndice A.

Serão destacadas as mudanças feitas na placa juntamente com comparação mostrando qual seção do esquemático foi modificada, explicação da mudança sustentada de informações do datasheet, circuito exemplo, base teórica e experimental.

### Circuito Gate Drive

5) **Capacitor Bulk na alimentação 24V dos MOSFETs de Lado Alto:** A adição de capacitores de bulk (volume) ao circuito de potência faz o papel de um reservatório de energia local para suprir os picos de corrente instantâneos que os MOSFETs exigem durante a comutação que ocorrem quando o MOSFET é ativado e exige um pico de corrente que é melhor suprida com a presença do capacitor de bulk.

Com a presença deste capacitor a corrente vem do capacitor local e consequentemente a indutância parasita dos fios da fonte de alimentação é "ignorada" durante esse pico, com isso a tensão de 24V necessária ira ser um pouco mais estável.

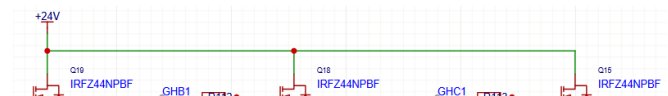


Fig. 5 – Ausência de capacitores de bulk no projeto antigo.  
Fonte: Autor

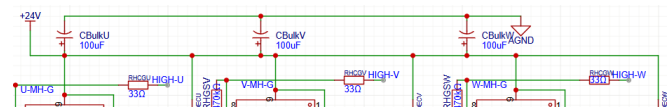


Fig. 6 – Adição de capacitores de bulk no projeto deste trabalho.  
Fonte: Autor

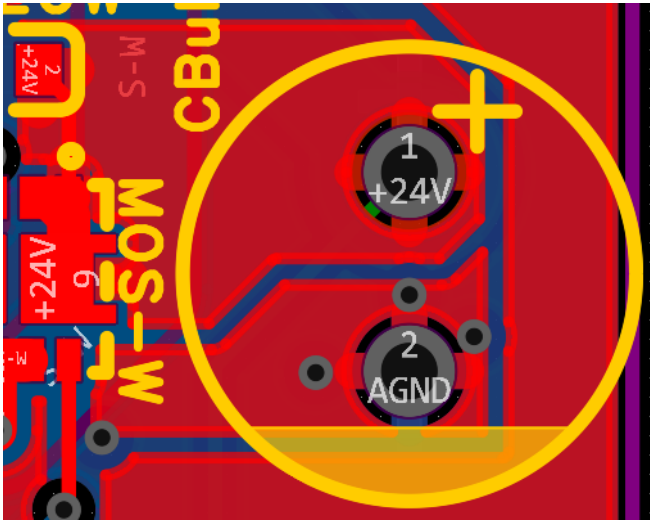


Fig. 7 – Posicionamento próximo dos capacitores a alimentação dos MOSFETs.

Fonte: Autor

6) **Valor dos resistores de série entre gate e chip:** A presença de resistores entre os pinos de gate dos MOSFETs e dos pinos de controle de gate do chip A3930 são de alta importância. Como descrito pelo datasheet:

"External series-gate resistors, RGATE, (as close as possible to the NMOS gate) can be used to control the slew rate seen at the power-driver gate, thereby controlling the di/dt and dv/dt of the Sx outputs."(Allegro MicroSystems, p.8, 2024)

A função deste resistor é controlar a velocidade no qual o MOSFET é capaz de ativar e desativar ao controlar a variação de corrente (di/dt) e variação de tensão (dv/dt).

Se seu valor é muito baixo então as variações de corrente e tensão são muito altas devido a rápida ativação e desativação do MOSFET, isso o que consequentemente resulta em grandes quantidades de ruído ao gerar picos de tensão e oscilações parasitas que afetam o chip e podendo levar a danificação dos componentes. Já em valores muito altos essa variação de corrente e tensão é baixa, isso faz o MOSFET operar na sua região linear por tempo desnecessário e levando ao aquecimento excessivo.

Em testes realizados na placa antiga, com o resistor RGate de 10 ohms, a corrente sobre os pinos do chip A3930 atingiu valores acima dos seguros a ponto de queimar uma unidade do A3930 de teste. Após consulta com o orientador deste trabalho, testes posteriores foram feitos utilizando RGate com valor de 30 ohms, tanto como um valor padrão utilizado nessas aplicações quanto como um valor seguro para os componentes da placa.

7) **Medição de corrente - Conexão de Kelvin:** O chip A3930 utiliza um amplificador de detecção de corrente diferencial interno para monitorar a corrente através de resistores shunt de baixo valor. Como descrito pelo datasheet:

"Current Sense Amplifier: CSP, CSN, and CSOUT. A differential current sense amplifier with a gain, AV, of 19 typical, is provided to allow the use of low-value sense resistors or current shunts as the

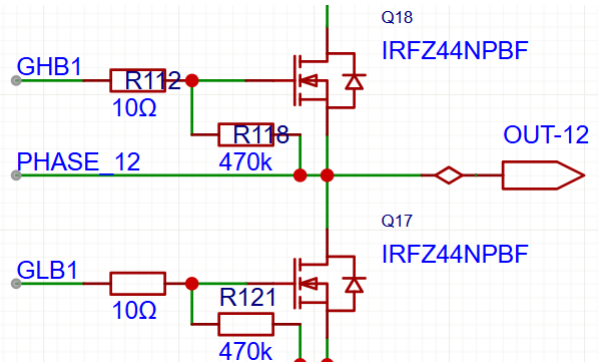


Fig. 8 – Resistores de gate com valores inadequados.

Fonte: Autor

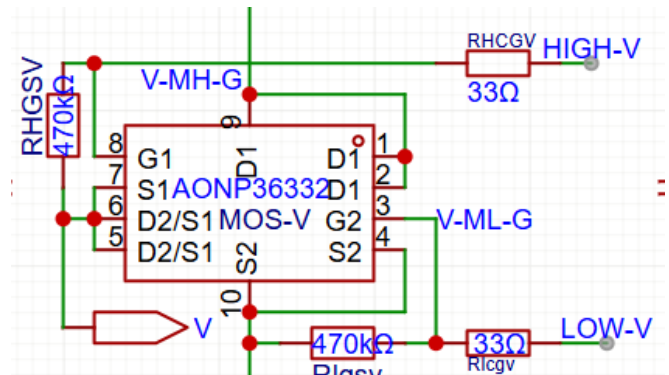


Fig. 9 – Resistores de gate com valores otimizados.

Fonte: Autor

current sensing elements. Because the output of this sense amplifier is available at CSOUT, it can be used for either internal or external current sensing."(Allegro MicroSystems, p.9, 2024)

Especificamente na seção de *Circuit Layout*:

"3. The inputs to the sense amplifier, CSP and CSN, should be independent traces and for best results should be matched in length and route."(Allegro MicroSystems, p.16, 2024)

Com estas informações e com o circuito exemplo disponibilizado na figura 12 [2], é evidenciado a presença de uma conexão de Kelvin como artifício de medição da corrente entre os resistores shunt. A conexão de Kelvin [4] [5] é o método de layout específico que garante que este amplificador meça exclusivamente a queda de tensão sobre o elemento resistivo do shunt, ignorando quedas de tensão parasitas e ruídos induzidos nas trilhas de alta potência.

Utilizando técnicas de montagem de circuito [6] foi corrigido este artifício de medição da placa antiga ao aproximar mais o chip dos resistores shunt e resistores em série na trilha de medição, utilizando trilhas diretas e de tamanhos similares e garantindo a medição correta com apenas um ponto pequeno de conexão com as ilhas de cobre que são ponteadas pelos resistores de shunt.

Em uma aplicação switch-mode, o plano de terra está contaminado com ruído significativo. Ao misturar o caminho de medição com o retorno de corrente ruidoso, a referência do amplificador é corrompida, levando a medições de corrente



da placa. O projeto antigo sofria com um plano dividido em "ilhas de cobre" em que cada uma participava de uma rede diferente no circuito, como mostrado na figura 15.

Com base na teoria de integridade de sinal [7], essa fragmentação cria uma alta impedância na Rede de Distribuição de Energia. A alta impedância da rede é identificada como um dos quatro principais problemas de integridade de sinal, pois esta rede não serve apenas para fornecer energia, mas também atua como o caminho de retorno para todos os sinais. Em projetos de alta velocidade, é fundamental que todo sinal tenha um caminho de retorno direto.

Quando esse caminho de retorno possui alta impedância, as rápidas mudanças de corrente ( $dI/dt$ ) dos componentes de chaveamento criam quedas de tensão no próprio plano de terra. Esse fenômeno, conhecido como oscilação de terra (ground bounce), é uma das fontes primárias de ruído e interferência eletromagnética que pode levar a falhas de temporização e mau funcionamento dos componentes lógicos.

Outra vantagem importante para dois planos sólidos no centro da placa é que ambos atuam como uma blindagem, isolando as trilhas de sinal da camada superior e inferior o que funciona para combater a diafonia (crosstalk) entre as camadas de sinais, outro fenômeno causador de ruído.

Para corrigir essa falha, o novo projeto como mostrado na figura 16, implementa os planos internos de potência como uma camada sólida e contínua. A adoção de planos sólidos e paralelos minimiza drasticamente a indutância de loop da rede de alimentação. Uma rede de distribuição de baixa indutância é vital para fornecer corrente instantânea durante o chaveamento e ser eficaz contra a oscilação no terra e o ruído de chaveamento que afetavam o pino AGND do A3930.

Outro ponto positivo desta configuração de 4 camadas é que os dois planos sólidos centrais atuam como uma blindagem, isolando as trilhas de sinal das camadas superior e inferior, o que elimina a diafonia (crosstalk).

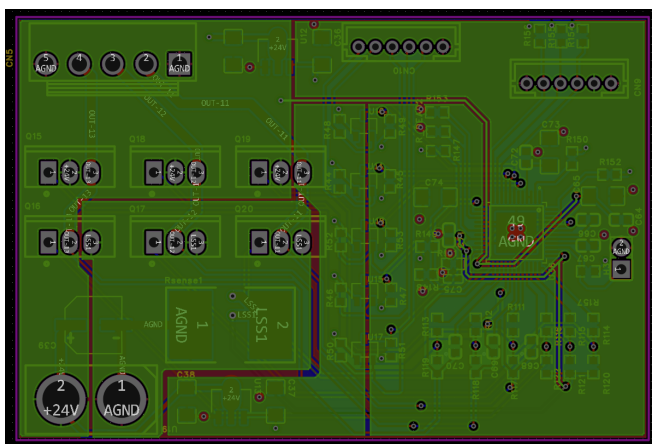


Fig. 15 – Plano de potencia da placa antiga, onde cada ilha possui uma rede diferente.

Fonte: Autor

10) **Costura de Vias:** Em projetos de alta frequência, como mencionado previamente, a corrente não viaja apenas

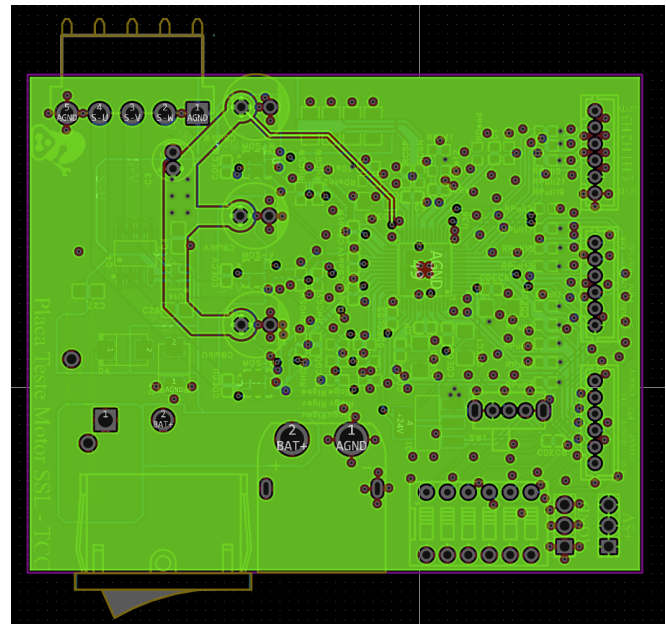


Fig. 16 – Novo Plano de Potência sem divisões bruscas.

Fonte: Autor

pela trilha de sinal e sim em um loop. A corrente de retorno correspondente viaja pelo plano de referência adjacente (seja ele de terra ou potência), concentrando-se magneticamente logo abaixo da trilha de sinal. Um desafio crítico de layout surge quando uma trilha de sinal precisa transicionar entre camadas usando uma via.

Se uma trilha, inicialmente referenciada a um plano de terra na camada 2, move-se para uma camada inferior referenciada a um plano de terra na camada 4, a corrente de retorno é forçada a encontrar um novo caminho para "pular" entre esses dois planos. Na ausência de um caminho direto, essa corrente buscará uma rota alternativa, como um capacitor de desacoplamento mais próximo, o que cria um grande loop de corrente.

Para solucionar essa descontinuidade, a técnica de costura de vias (via stitching) foi implementada. Ao posicionar estrategicamente uma "via de costura" adjacente a trilha de sinal, cria-se uma ponte de baixa impedância que conecta diretamente os planos de referência (neste caso, terra). Esta prática garante que o caminho de retorno da corrente permaneça curto, contínuo e com baixa indutância, preservando a integridade do sinal.

Como é mostrado na figura 17, foram adicionadas bastantes conexões entre os planos por meio de diversas vias espalhadas pela placa colocadas próximas a trilhas de sinais.

11) **Correções no AGND:** Um ponto importante citado no datasheet do chip A3930 é a importância do terra silencioso (Quiet ground). Especificado na seção de *Circuit Layout*:

"1. Sensitive connections such as RDEAD and VDSTH, which have very little ground current, should be referenced to the Quiet ground, which is connected independently closest to the AGND pin. The components associated with these sensitive pins should never be connected directly to the Supply common or to the Power

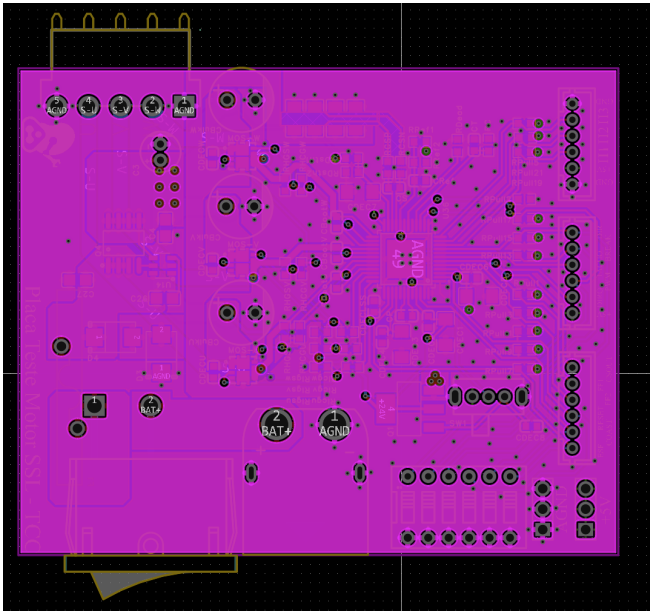


Fig. 17 – Novo plano de terra mostrando a grande quantidade de vias ao terra em volta das trilhas de sinais.  
Fonte: Autor

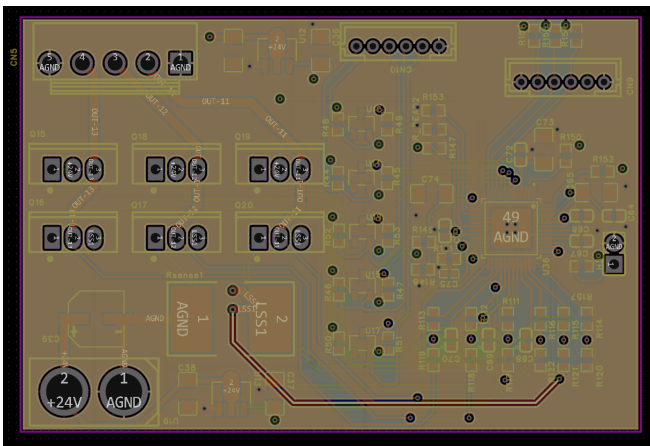


Fig. 18 – Antigo plano de terra da placa antiga mostrando poucas vias ao terra.  
Fonte: Autor

ground; they must be referenced directly to the AGND pin."(Allegro MicroSystems, p.16, 2024)

Os componentes relacionados aos pinos RDEAD e VDSTH estão conectados a pinos sensíveis e nunca devem ser conectados diretamente ao plano de terra da placa e sim referenciados diretamente ao pino de AGND. Como demonstrado na figura 19, foi feita uma trilha separada conectando os pads de terra dos componentes conectados a estes pinos ao ponto mais próximo possível do pino AGND do chip, garantindo que estes funcionem propriamente como recomendado pelo fabricante do chip.

12) *Utilizando todos as funções do A3930:* Um fator importante que foi pouco utilizado no projeto antigo são as funções do chip A3930. Como mostrado nas figuras 22 e 21,

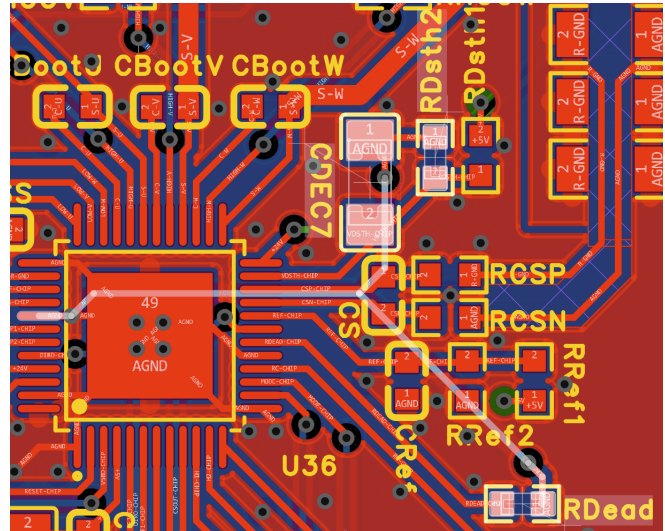


Fig. 19 – Nova trilha separada caminhando pelo plano inferior para o pino de AGND, evidenciada em branco.  
Fonte: Autor

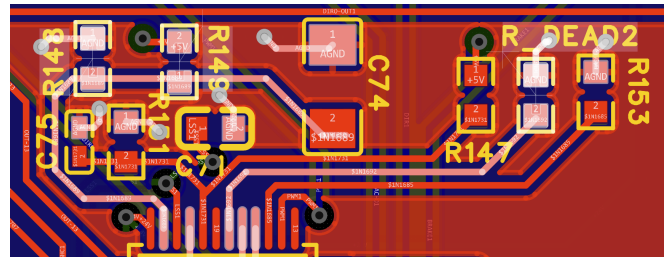


Fig. 20 – Componentes conectados diretamente ao terra da placa no projeto antigo, evidenciados em branco.  
Fonte: Autor

foi incluído mais 6 pinos e estão sendo disponibilizados para leitura ou envio de sinal.

Os pinos adicionados são:

**CSOUT:** Saída analógica de sinal que informa a corrente medida nos resistores shunts da placa, bem importante para garantir que em caso de algo causando alta corrente o controlador consiga desativar o movimento.

**FF1 e FF2:** O chip A3930 possui duas saídas lógicas de erro que servem para informar de algum problema no circuito através da descrição lógica da tabela I. É de extrema importância receber estes dados pois em caso de problemas a resolução do erro é facilitada.

**RESET:** Pino utilizado para reiniciar o chip A3930. Importante para que em caso de comportamento estranho de uma roda, pode-se reiniciar diretamente o chip de controle sem a necessidade de corte de alimentação da placa como um todo.

**COAST:** Similar ao BREAK, o pino COAST ao invés de travar a rotação do motor apenas libera a rotação sem controle permitindo a roda movimentar sem aceleração. Esse pino é importante pois ao usar o comando de BREAK há uma corrente altíssima sobre os MOSFETs que pode ser evitada

FF1	FF2	Falta	Ação	
			ESF = 0	ESF = 1
0	0	Baixa tensão	Desativa	Desativa
0	0	Superaquecimento	Sem ação	Sem ação
0	0	Falha Lógica	Desativa	Desativa
1	0	Curto ao Terra	Sem ação	Desativa
1	0	Curto a Alimentação	Sem ação	Desativa
1	0	Curto no Motor	Sem ação	Desativa
0	1	Baixa Corrente de Carga	Sem ação	Sem ação
1	1	Nada	Sem ação	Sem ação

TABLE I – Tabela de Falhas.

Fonte: Adaptado de Allegro MicroSystems [1]

ao utilizar este comando.

**ESF:** Presente na tabela I, este pino determina se o chip A3930 toma a ação de desativar os MOSFETs e desativar a saída de sinal para os gates assim preservando o circuito. Útil em cenários de testes mas deve ser mantido em nível lógico alto durante a utilização da placa de controle e usado apenas para testes.

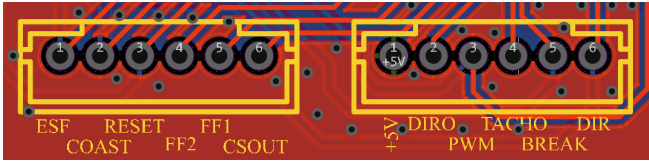


Fig. 21 – Adição de outro conector para leitura de todas as funções disponibilizadas pelo chip.

Fonte: Autor

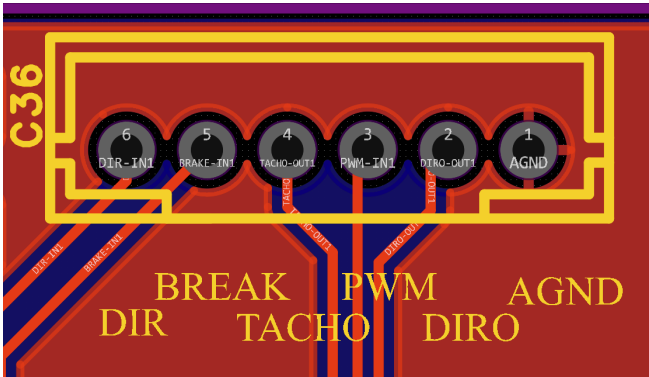


Fig. 22 – Saídas de sinais presente na placa antiga.

Fonte: Autor

### E. Cálculo dos valores de componentes

Juntamente com descrição de funções e recomendações de layouts, o datasheet do chip A3930 também disponibiliza diversas formulas matemáticas para o cálculo de valores ideais de resistores e capacitores. Para funcionamento ideal do circuito foram feitos todos os cálculos descritos:

1) **Corrente limite:** A corrente limite do sensor de corrente para ativar o sistema de segurança é dada por:

$$I_{TRIP} = \frac{V_{REF} - V_{OOS}}{R_{SENSE} \times AV} \quad (1)$$

Sendo AV o ganho do sensor de corrente tipicamente de valor 19, RSense é o a resistência shunt equivalente que foi escolhida de 0,011  $\Omega$ , Voos é o valor da tensão sem carga, cujo valor máximo informado pelo datasheet é de 0,55 V. VRef deve ser escolhido para determinar qual o valor máximo de corrente através da tensão sobre o pino VREF no chip A3930, que para nossa aplicação foi escolhido 3,837 V.

$$I_{TRIP} = \frac{3,837 - 0,55}{0,011 \times 19} = 15,73 \text{ A} \quad (2)$$

2) **Saída do Amplificador de Detecção de Corrente:** A saída analógica do sensor de corrente é dado por:

$$V_{CSOUT} \approx (I_{LOAD} \times AV \times R_{SENSE}) + V_{OOS} \text{ V} \quad (3)$$

Sendo AV = 19 tipicamente, RSense escolhido de 0,011 ohms e Voos máximo, informado pelo datasheet, de 0,55 V

$$V_{CSOUT} \approx (I_{LOAD} \times 0,209) + 0,55 \text{ V} \quad (4)$$

3) **Tempo em branco (Blank Time):** Ao ligar o driver, picos de corrente são gerados por diodos e capacitâncias no circuito. Para evitar que esses picos desativem o driver por engano, o circuito de controle de corrente é intencionalmente ignorado por um curto período (chamado  $t_{BLANK}$ ) logo após a ativação. Esse periodo deve ser maior que o tempo de recuperação dos MOSFETs, que dado pelo seu datasheet é máximo de 12 ns. Então o cálculo se da por:

$$t_{BLANK_{externo}}(\mu s) = 2000 \times C_T(\mu F) > 12 \text{ ns} \quad (5)$$

Para garantir uma margem de segurança o valor de CT, capacitor conectado em série com o pino RC do chip, escolhido foi 47pF.

$$2000 \times 47 \times 10^{-6} = 0,092 \mu s = 92 \text{ ns} > 12 \text{ ns} \quad (6)$$

4) **Capacitores Bootstrap:** A função do capacitor de bootstrap é fornecer a carga inicial necessária para acionar o gate do MOSFET de lado alto e após o capacitor fornecer essa carga inicial, uma "bomba de carga"(charge pump) adicional assume a função de manter essa tensão, compensando pequenas correntes de fuga. Isso permite que o MOSFET de lado alto permaneça ligado indefinidamente (100% PWM) sem que a tensão do gate caia.

Portanto é necessário dimensionar os capacitores de bootstrap para que supram a tensão necessária. A carga deste capacitor é dado por:

$$Q_{BOOT} = C_{BOOT} \times V_{BOOT} \quad (7)$$

Para que a carga seja suficiente com uma grande margem de segurança, é recomendado um valor 20 vezes maior que a carga QGate, que é uma característica dos MOSFETs e de acordo com o seu datasheet tem valor máximo de 40 nC.

VBoot é a tensão sobre os capacitores, dada pela subtração da tensão do pino C e S de cada fase, onde seu valor apresentado pelo datasheet do chip é 15 V. Então calculamos o valor do capacitor através de:

$$C_{BOOT} = \frac{Q_{GATE} \times 20}{V_{BOOT}} = \frac{40 \times 20}{15} = 30 \text{ nF} \quad (8)$$

Arredondado para o valor comercial acima:

$$C_{BOOT} = 33 \text{ nF} \quad (9)$$

Com este valor em mãos podemos calcular o tempo mínimo de carga para que haja funcionamento normal do circuito:

$$t_{\text{charge}(\text{min})} \approx \frac{C_{BOOT} \times \Delta V}{250 \text{ mA}} \quad (10)$$

$\Delta V$  tem seu valor máximo quando o chip está desativado a muito tempo e assume o valor da tensão máxima de drive de lado alto, então  $\Delta V = 12V$  para o maior tempo possível.

$$t_{\text{charge}} \approx \frac{33 \times 10^{-9} \times 12}{250 \text{ mA}} \quad (11)$$

$$t_{\text{charge}} \approx 1,625 \times 10^{-9} \text{ min} = 97,48 \text{ ns} \quad (12)$$

5) **Tempo Morto (Dead Time):** Para prevenir a condução cruzada (cross-conduction), o chip A3930 introduz um tempo morto (tDead). Este é um pequeno atraso que garante que um MOSFET seja completamente desligado antes que o MOSFET complementar seja ligado, portanto o valor deste tempo morto deve ser maior que o valor do tempo de desativação característico do MOSFET (tswoff) que tem valor máximo de 125 ns. O valor desse tempo morto é configurado através de um resistor RDead conectado ao pino RDEAD. O cálculo desse tempo é dado por:

$$t_{DEAD(nom)} \approx 0,1 + \frac{33}{5 + I_{DEAD}} \quad (13)$$

Onde IDead é:

$$I_{DEAD} = \frac{2000}{R_{DEAD}} \quad (14)$$

Então

$$t_{DEAD(nom)} \approx 0,1 + \frac{33}{5 + \frac{2000}{R_{DEAD}}} > 125 \text{ ns} \quad (15)$$

Enquanto calcular o valor é ideal, o datasheet do chip A3930 trás recomendações sobre o valor de RDead, dados no trecho de *Function Description*:

"At 25°C, the value of tDEAD (µs) can be approximated by: \*Formula de tDead\* where IDEAD is in µA, and RDEAD is between 5 and 400 in kΩ. The greatest accuracy is obtained with values of RDEAD between 10 and 100 kΩ"(Allegro MicroSystems, p.14-15, 2024)

Então o valor de RDEAD recomendado para maior acurácia deve ser entre 10kΩ e 100kΩ, onde utilizando o menor valor de 10kΩ obtemos um valor maior que o mínimo necessário:

$$t_{DEAD(nom)} \approx 260,98 \text{ ns} > 125 \text{ ns} \quad (16)$$

6) **Cálculos sobre frequência interna:** Há cálculos sobre valores de frequência interna para aplicações onde se utiliza a frequência gerada pelo próprio chip A3930, porém nossa aplicação utilizará a frequência injetada pelo pino de PWM para melhor controle sobre testes sem a necessidade de mudanças do circuito.

#### F. Potência utilizada pelo chip

Juntamente com o cálculo dos valores ideais de componentes, é importante se determinar a potência total consumida pelos componentes para garantir que não haja sobre aquecimento dos componentes. Para o chip A3930, o datasheet disponibiliza as formulas necessárias para determinar o consumo:

$$P_{TOT} = P_{BIAS} + P_{CPUMP} + P_{SWITCH} \quad (17)$$

1) **PBIAS** é dado pela tensão máxima da bateria VBB = 25,2 V e IBB de valor típico 3 mA.:

$$P_{BIAS} = V_{BB} \times I_{BB} = 25,2 \times 0,003 = 0,0756 \text{ W} \quad (18)$$

2) **PPUMP** para VBB maior que 15 V utilizando os valores encontrados anteriormente de VBB = 25,2 V, VREG = 3,837 V, QGATE = 40 nC, o valor desejado de frequência de operação fPWM = 70000 Hz e N = 4 para o modo de fast decay utilizado nesta aplicação, é dado por.:

$$P_{CPUMP} \approx (V_{BB} - V_{REG}) \times I_{AV} \quad (19)$$

$$I_{AV} = Q_{GATE} \times N \times f_{PWM} \quad (20)$$

$$I_{AV} = 40 \times 10^{-9} \times 4 \times 70000 = 0,0112 \text{ A} \quad (21)$$

$$P_{CPUMP} \approx (25,2 - 3,837) \times 0,0112 = 0,1366 \text{ W} \quad (22)$$

3) **PSWITCH** é calculado, usando os valores citados anteriormente e RGate = 33 Ω, através das formulas.:

$$P_{SWITCH} = Q_{GATE} \times V_{REG} \times N \times f_{PWM} \times Ratio \quad (23)$$

$$Ratio = \frac{10}{R_{GATE} + 10} = \frac{10}{43} = 0,2326 \quad (24)$$

$$P_{SWITCH} = 40 \times 10^{-9} \times 3,837 \times 4 \times 70000 \times 0,2326 \quad (25)$$

$$P_{SWITCH} = 0,0087 \text{ W} \quad (26)$$

Então o consumo total do chip é de:

$$P_{TOT} = 0,0756 + 0,1366 + 0,0087 = 0,2209 \text{ W} \quad (27)$$

Este é um consumo consideravelmente baixo, somando a grande quantidade de planos de cobre para facilitar a dissipação o chip não sofrerá problemas com temperatura.

### G. Potência utilizada pelos MOSFETs

O cálculo da potência nos MOSFETs é essencial para garantir que o componente opere dentro de seus limites térmicos de segurança, prevenindo falhas por superaquecimento, pois os mesmos não possuem nenhuma dissipação. A análise utiliza as metodologias de cálculo de dissipação de potência descritas no "Application Report Calculating Power Dissipation for a H-Bridge or Half-Bridge Driver"[8] e aplica os parâmetros específicos do MOSFET utilizado nesta aplicação, AONP36332.

Para o cálculo, foram estabelecidos os seguintes parâmetros de aplicação e do componente:

**Tensão de Alimentação ( $V_M$ ):** 24 V, a tensão ideal da bateria.

**Frequência de Chaveamento ( $f_{PWM}$ ):** 70 kHz, a frequência desejada.

**Corrente de Carga RMS ( $I_L$ ):** 5 A, assumindo o valor máximo que o circuito deve operar normalmente.

**Tempo Morto ( $t_{DEAD}$ ):** 250 ns, parâmetro calculado anteriormente.

**Duty Cycle ( $D$ ):** 50% (1), assumido para uma operação simétrica.

$R_{DS(ON)}$  **Máx. em Q1:**  $\approx 5.55 \text{ m}\Omega$  e  $R_{DS(ON)}$  **Máx. em Q2:**  $\approx 7.05 \text{ m}\Omega$ . Como esta aplicação trabalha em tensão acima do valor disponibilizado pelo datasheet do MOSFET, assumiu-se o valor máximo disponível para considerar o pior cenário.

**Tensão do Diodo de Corpo Máximo ( $V_D$ ):** 1 V, Valor característico

**Tempo de Subida (Q2) ( $t_r$ ):** 18 ns, Valor característico

**Tempo de Queda (Q2) ( $t_f$ ):** 2 ns, Valor característico

A dissipação de potência total ( $P_{TOTAL}$ ) é a soma das perdas em cada MOSFET do MOSFET duplo utilizado. Cada MOSFET dissipa potência através de duas fontes principais: perdas por condução (devido ao  $R_{DS(ON)}$ ) e perdas por comutação (transições e tempo morto).

Potência Total em Q1 (MOSFET de lado alto) é dado pela soma:

$$P_{RON(LA)} = R_{ON(LA)} \times I_L^2 \times (1 - D) \quad (28)$$

$$P_{RON(LA)} = 0,00555 \Omega \times (5)^2 \times (1 - 0,5) = 0,069 \text{ W} \quad (29)$$

$$P_{DEAD(LA)} = V_D \times I_L \times t_{DEAD} \times f_{PWM} \times 2 \quad (30)$$

$$P_{DEAD(LA)} = 1 \times 5 \times (250 \times 10^{-9}) \times 70,000 \times 2 \quad (31)$$

$$P_{DEAD(LA)} = 0,175 \text{ W} \quad (32)$$

$$P_{Q1} = P_{RON(LA)} + P_{DEAD(LA)} \quad (33)$$

$$P_{Q1} = 0,069 + 0,175 = 0,244 \text{ W} \quad (34)$$

Potência Total em Q2 (MOSFET de lado baixo) é dado pela soma:

$$P_{RON(LB)} = R_{ON(LB)} \times I_L^2 \times D \quad (35)$$

$$P_{RON(LB)} = 0,00705 \Omega \times (5A)^2 \times 0,5 = 0,088W \quad (36)$$

$$P_{SW(LB)} = 0,5 \times V_M \times I_L \times (t_r + t_f) \times f_{PWM} \quad (37)$$

$$P_{SW(LB)} = 0,5 \times 24 \times 5 \times (18 + 2) \times 70000 \quad (38)$$

$$P_{SW(LB)} = 0,084W \quad (39)$$

$$P_{Q2} = P_{RON(LB)} + P_{SW(LB)} \quad (40)$$

$$P_{Q2} = 0,088 + 0,084 = 0,172W \quad (41)$$

Somando o resultado temos que o valor final é:

$$P_{TOTAL} = P_{Q1} + P_{Q2} \quad (42)$$

$$P_{TOTAL} = 0,244 + 0,172 = 0,416 \text{ W} \quad (43)$$

Considerando o pior caso onde a Resistência Térmica Junção-Ambiente do MOSFET é  $66 \text{ }^\circ\text{C/W}$ , o MOSFET operará consideravelmente abaixo do seu limite térmico  $T_{J(MAX)}$  (Temp. Máxima da Junção):  $150 \text{ }^\circ\text{C}$ .

#### Considerações Importantes

O projeto inicial utiliza controle de motor por controle de tensão, um artifício pouco documentado no datasheet do chip A3930. Neste modo a velocidade é controlada ao inserir um PWM com ciclo de trabalho (Duty Cycle) acima ou abaixo de 50%, onde um ciclo acima de 50% rotaciona o motor no sentido horário e um ciclo abaixo de 50% rotaciona o motor no sentido anti-horário.

Este modo não é bem exemplificado, o que o tornou não replicável na reconstrução do projeto, e é contraintuitivo para nossas aplicações do motor portanto na reconstrução do circuito será utilizado o método tradicional de controle de velocidade pelo ciclo de PWM e controle de direção por comando lógico no pino DIR.

Também foi removido os componentes de conversão de 5v para 3.3V, pois como serão utilizados muito mais pinos de cada placa será necessário outro método de conversão que não será incorporado a este projeto especificamente e para fins de teste não será necessário.

As modificações anteriores, embora alterem parte da lógica do projeto original, não compromete o objetivo principal deste trabalho: a mitigação do ruído de terra.

## IV. RESULTADOS

Para determinar o sucesso destas modificações será medido o ruído através de um osciloscópio e juntamente será medido a velocidade que o motor atinge para determinar se o ruído presente é tão impactante a ponto de reduzir a eficiência do motor e se a redução do mesmo resulta em melhor funcionamento.

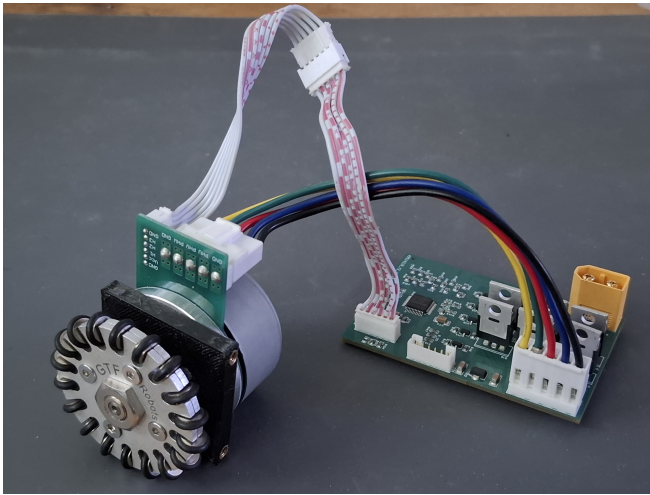


Fig. 23 – Conexão da placa antiga com o motor.  
Fonte: Autor.

#### A. Método de Medição

Como o A3930 é o único CI do circuito, em uma das medições será colocada uma ponta diretamente no pino AGND do chip, com a referência do terra diretamente na conexão negativa com a fonte de energia, e outra ponta diretamente em uma fase do motor. Isto servirá para mostrar qualquer ruído presente entre o pino AGND do chip e o terra do circuito e sua sincronia com o ciclo de abre e fecha dos MOSFETs que gera o PWM no motor.

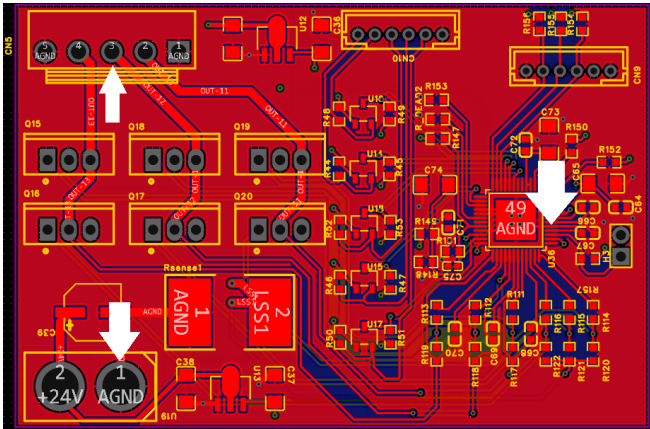


Fig. 24 – Posicionamento da medição de ruído da placa antiga.  
Fonte: Autor

Nas figuras 24 e 25 são mostrados os pontos onde serão tocadas as pontas do osciloscópio. Adicionalmente será medida a velocidade dos motores por meio de um tacômetro apontado para uma fita refletiva adesivada a roda do motor.

#### B. Medições com o projeto antigo

Os resultados obtidos pelo osciloscópio para as medições no projeto anterior são apresentados nas figuras 26 a 29.

Observa-se que o ruído é mais visível nas transições do sinal PWM e também é intensificado o quanto rápido se move

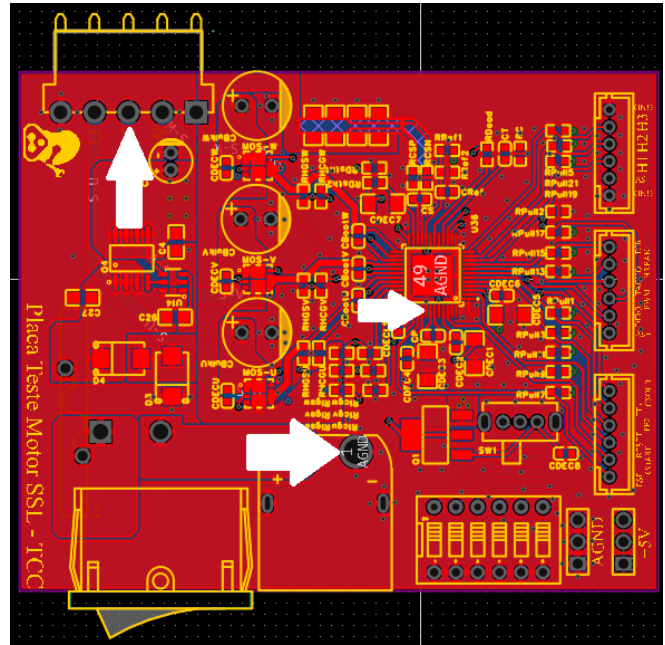


Fig. 25 – Posicionamento da medição de ruído da placa reformulada.  
Fonte: Autor



Fig. 26 – Ruído presente no pino AGND no projeto antigo com PWM = 60% .  
Fonte: Autor

o motor, o que é esperado pois neste momento há a ativação e desativação do MOSFET onde há a maior quantidade de interferência.

Os resultados para medição de velocidade do motor em funcionamento no projeto anterior são apresentados na tabela II. Foram feitas três medições, onde se inicia operação em rotação 0 e se eleva o duty cycle do PWM para o valor desejado.

Constata-se que na configuração antiga, o pino DIR não tem efeito sobre a direção do movimento e sim se o ciclo de PWM está acima ou abaixo de 50%.



Fig. 27 – Ruído presente na fase do motor no projeto antigo com PWM =60% .

Fonte: Autor



Fig. 29 – Ruído presente na fase do motor no projeto antigo com PWM = 70% .

Fonte: Autor



Fig. 28 – Ruído presente no pino AGND no projeto antigo com PWM = 70% .

Fonte: Autor

Há também assimetria entre as velocidades, onde o motor rotaciona com menos velocidade na direção anti-horário, que é um ponto fraco pois em um robô omni-direcional é necessário movimentar rodas em todas as direções.

### C. Medições com o projeto proposto

Devido a grande complexidade do projeto e presença de componentes complexos foi necessário a fabricação do projeto no exterior, acarretando em grande período de entrega e o projeto não pode ser testado. Contudo, baseando-se na fundamentação teórica e nas falhas diagnosticadas no projeto anterior, é possível projetar os resultados esperados para a nova revisão da placa.

Espera-se uma drástica redução do ruído no pino AGND (referência analógica). No projeto anterior, a fragmentação do plano de terra em "ilhas" criava loops de alta impedância. Com a implementação de planos internos sólidos e contínuos de potência e terra no novo layout de 4 camadas, a indutância de loop será minimizada, mitigando o fenômeno de ground bounce que corrompia os sinais lógicos.

Pino DIR	Direção Real	PWM [%]	Medições [rpm]		
X	Horário	90%	5155	5167	5157
X	Horário	80%	3861	3864	3866
X	Horário	70%	2577	2579	2576
X	Horário	60%	1291	1288	1288
X	Parado	50%	0	0	0
X	Anti-Horário	40%	1044	1045	1047
X	Anti-Horário	30%	2089	2088	2088
X	Anti-Horário	20%	3133	3132	3135
X	Anti-Horário	10%	4175	4178	4177

TABLE II – Medições de rotação do projeto antigo.

Fonte: Autor

Adicionalmente, a instabilidade na leitura de corrente deverá ser eliminada pela adoção da Conexão de Kelvin. Ao isolar as trilhas de medição (CSP e CSN) das altas correntes de comutação dos MOSFETs, o amplificador diferencial operará sem a interferência de quedas de tensão parasitas, garantindo que o sistema de proteção atue apenas nos limites determinados. Por fim, a integridade do sinal de gate (Gate Drive) apresentará uma comutação mais limpa.

A substituição dos resistores de gate inadequados de 10  $\Omega$  por valores otimizados de 33  $\Omega$ , somada ao posicionamento estratégico dos capacitores de bulk próximos à alimentação dos MOSFETs, reduzirá o ringing e os picos de tensão (dv/dt) que anteriormente levaram à queima de componentes. Consequentemente, projeta-se que o motor opere com simetria de velocidade em ambas as direções, corrigindo a falha de omnidirecionalidade vital para a competição.

## V. CONCLUSÃO

Este trabalho apresentou a análise, o desenvolvimento e a aplicação de uma metodologia de otimizações para a mitigação de ruído elétrico em uma placa controladora de motores. O foco foi a correção de problemas na placa do projeto SSL do Núcleo de Robótica Pequena Mecânica, que apresentava instabilidades devido à interferência no pino de referência analógico, AGND, do Circuito Integrado A3930.

O processo de redesenho e ajuste da placa envolveu a análise do esquemático anterior e a identificação de falhas

críticas, como a ausência de otimizações no plano de terra que falhava em separar componentes de potência e lógica. Com base na documentação técnica do A3930, placas de referência e bases teóricas pesquisadas foram implementadas diversas otimizações na adição e dimensionamento de componentes, posicionamento de tais componentes e mudanças nos planos que compõem a placa.

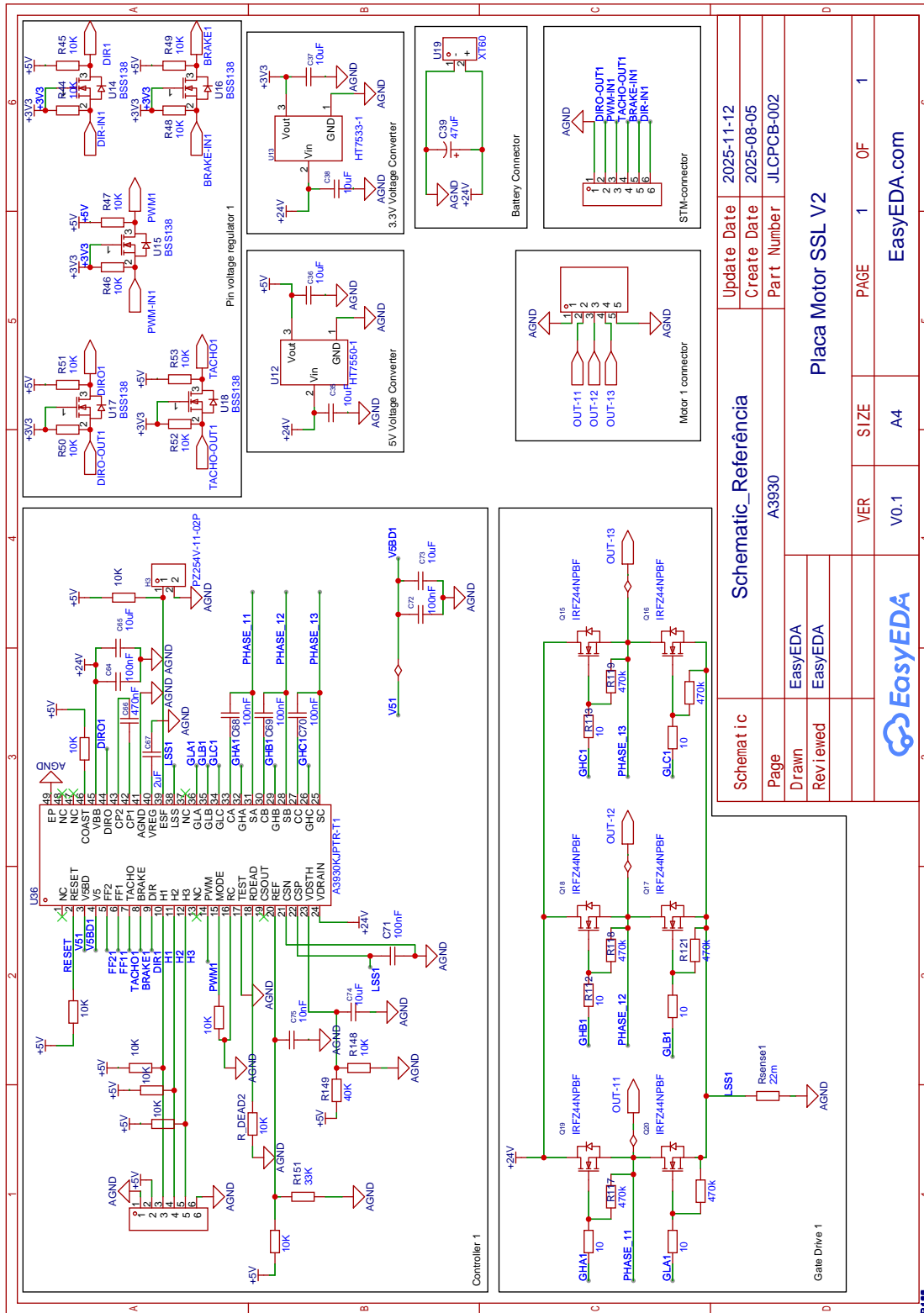
Os desafios enfrentados, como o comportamento inconsistente da placa original e o uso de um modo de controle não documentado pelo fabricante, foram superados na etapa de engenharia através da adesão estrita às recomendações de layout e da reengenharia completa do circuito. Embora limitações logísticas tenham impedido a validação experimental final do protótipo físico, o desenvolvimento atingiu seu objetivo ao entregar um projeto validado por regras de design e fundamentado em análises teóricas sólidas, que devem ajudar futuros projetos e projetistas.

Conclui-se que a aplicação de práticas rigorosas de layout de PCB, especialmente a separação de terras e a implementação da Conexão de Kelvin, é fundamental para o sucesso de aplicações switch-mode de alta frequência. As otimizações implementadas no projeto resultam em uma solução teoricamente robusta que promete eliminar a instabilidade anterior, contribuindo diretamente para a futura melhoria de performance e confiabilidade do robô nas competições da categoria SSL.

#### REFERÊNCIAS

- [1] ALLEGRO MICROSYSTEMS. Automotive 3-Phase BLDC controller and MOSFET driver: datasheet A3930-1. 2024. Disponível em: <<https://www.allegromicro.com/~media/files/datasheets/a3930-1-datasheet.ashx>>. Acesso em: 1 nov. 2025.
- [2] ALLEGRO MICROSYSTEMS. A3930 and A3931 demo board schematic/layout. 2016. Disponível em: <<https://www.allegromicro.com/~media/files/demo-boards/schematics/a3930-31-demo-board-schematic.pdf>>. Acesso em: 1 nov. 2025.
- [3] TEXAS INSTRUMENTS INCORPORATED. LM74700-Q1 low IQ reverse battery protection ideal diode controller. out. 2025. Disponível em: <<https://www.ti.com/lit/ds/symlink/lm74700-q1.pdf?ts=1765277785158>>. Acesso em: 1 nov. 2025.
- [4] LEIBSON, Steve. Fundamentals of current measurement: part 1: current sense resistors. 9 out. 2018. Disponível em: <<https://www.digikey.com.br/en/articles/fundamentals-of-current-measurement-part-1-current-sense-resistors>>. Acesso em: 26 out. 2025.
- [5] PINI, Art. Select and apply current sense amplifiers effectively to better manage power. 21 ago. 2018. Disponível em: <<https://www.digikey.com.br/en/articles/select-apply-current-sense-amplifiers-effectively-manage-power>>. Acesso em: 26 out. 2025.
- [6] TEXAS INSTRUMENTS INCORPORATED. Shunt resistor layout considerations: TI precision labs: current sense amplifiers. Disponível em: <<https://www.ti.com/content/dam/videos/external-videos/en-us/4/3816841626001/6076326896001.mp4/subassets/current-sense-amplifiers-shunt-resistor-layout-presentation-quiz.pdf>>. Acesso em: 25 out. 2025.
- [7] BOGATIN, Eric. Signal and power integrity: simplified. 2. ed. Upper Saddle River: Prentice Hall. 2009.
- [8] TEXAS INSTRUMENTS INCORPORATED. Calculating power dissipation for a H-bridge or half-bridge driver: application report. jul. 2021. Disponível em: <<https://www.ti.com/lit/ds/symlink/lm74700-q1.pdf?ts=1762770612101>>. Acesso em: 2 nov. 2025.





Schematic_Referência		Update Date	2025-11-12
A3930		Create Date	2025-08-05
Placa Motor SSL V2		Part Number	JLPCPB-002
VER	SIZE	PAGE	1 OF 1
V0.1	A4	EasyEDA.com	

Schematic		Page	1
EasyEDA		Drawn	EasyEDA
EasyEDA		Reviewed	EasyEDA
EasyEDA			

Esquemático do projeto antigo  
 Fonte: Autor